

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-102254

(43)公開日 平成5年(1993)4月23日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H 0 1 L 21/66	B	8406-4M		
G 0 1 R 31/26	J	9214-2G		

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平3-259125

(22)出願日 平成3年(1991)10月7日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 渡辺 真人

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 富樫 健志

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 寒川 誠一

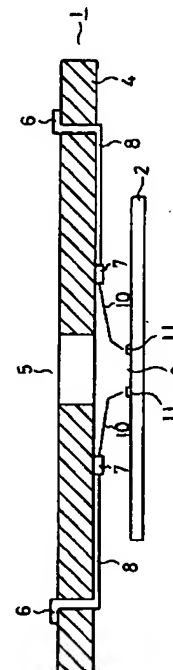
(54)【発明の名称】 半導体装置試験用プローブカード

(57)【要約】

【目的】 半導体チップの周辺のみでなく半導体チップ内部にもパッドを有する多ピン構造の半導体装置をプロービング試験するのに使用されるプローブカードに関し、試験される多ピン構造の半導体装置のパッドを使用して直接位置合わせができるように改良されたプローブカードを提供することを目的とする。

【構成】 中央部に開口5を有する基板4の周辺領域に複数のパッド6が形成され、一端が複数のパッド6の1に接続され、他端が開口5に露出する複数の探針10が多層に配設されており、半導体チップ内部にパッドを有する多ピン構造の半導体装置3のパッド11のそれぞれに複数の探針10のそれぞれを接触させて試験をなす半導体装置試験用プローブカードにおいて、複数の探針10は、多ピン構造の半導体装置3の周辺の一部に設けられた位置合わせ用パッド13に接触する探針を除いて位置合わせ用パッド13の上方領域を除く領域に配設されるように構成される。

半導体チップ上に位置合わせられたプローブカードの断面図



【特許請求の範囲】

【請求項1】 中央部に開口(5)を有する基板(4)の周辺領域に複数のパッド(6)が形成され、一端が該複数のパッド(6)の1に接続され、他端が前記開口(5)に露出する複数の探針(10)が多層に配設されてなり、半導体チップ内部にパッドを有する多ピン構造の半導体装置(3)のパッド(11)のそれぞれに前記複数の探針(10)のそれぞれを接触させて試験をなす半導体装置試験用プローブカードにおいて、前記複数の探針(10)は、前記多ピン構造の半導体装置(3)の周辺の一部に設けられた位置合わせ用パッド(13)に接触する探針を除いて該位置合わせ用パッド(13)の上方領域を除く領域に配設されてなることを特徴とする半導体装置試験用プローブカード。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体チップの周辺のみでなく半導体チップ内部にもパッドを有する多ピン構造の半導体装置をプロービング試験するのに使用されるプローブカードに関する。

【0002】

【従来の技術】図3に、プローブカード1をウェーハ2上に形成されている半導体チップ3上に重ねたときの断面図を示す。図において、4はガラスエポキシ等からなる基板であり、中央に開口5が形成されている。6は基板4の周辺に設けられ、テスターに接続されるテスターコンタクト用パッドであり、7は探針ハンダ付け用パッドである。8は基板4上に形成された配線であり、スルーホール9を介してハンダ付け用パッド7とテスターコンタクト用パッド6とを接続している。10はタングステン、ベリリウム、銅、パラジウム等からなる探針であり、一端はハンダ付け用パッド7にハンダ付けされ、他端は開口5に露出しており、開口5を通して上方から目視可能である。

【0003】プロービング試験を実施する場合には、図3に示すように、ウェーハ2上に形成された半導体チップ3上にプローブカード1を重ね、半導体チップ3のパッド11とプローブカード1の探針10の先端とを相互に接触させ、テスターコンタクト用パッド6を介してテスターからテスト信号を入力して半導体チップ3を試験する。

【0004】ところで、半導体チップ内部にもパッドを有する多ピン構造の半導体装置をプロービング試験するプローブカードにおいては、半導体チップ3上にプローブカード1を重ねたときに、半導体チップ内部に形成されているパッドに接触する多数の探針が半導体チップ周辺に形成されているパッド上を通過するように配置されているため、半導体チップの周辺に設けられた位置合わせ用パッドがこれらの探針によって遮られて上方から確

認することができず、位置合わせが不可能である。そこで、ウェーハ上の試験しようとする半導体チップから数チップ前後左右に離れて存在する半導体チップの位置を確認することによって間接的に位置合わせができるように、基板4の開口5の周辺4個所に位置合わせ用穴12を形成している。

【0005】

【発明が解決しようとする課題】試験される半導体装置の位置合わせ用パッドを使用して直接プローブカードと半導体装置との位置合わせができないため位置合わせ精度が悪くなる。

【0006】本発明の目的は、この欠点を解消することにより、試験される多ピン構造の半導体装置のパッドを使用して直接位置合わせができるように改良されたプローブカードを提供することにある。

【0007】

【課題を解決するための手段】上記の目的は、中央部に開口(5)を有する基板(4)の周辺領域に複数のパッド(6)が形成され、一端がこの複数のパッド(6)の1に接続され、他端が前記の開口(5)に露出する複数の探針(10)が多層に配設されており、半導体チップ内部にパッドを有する多ピン構造の半導体装置(3)のパッド(11)のそれぞれに前記の複数の探針(10)のそれぞれを接触させて試験をなす半導体装置試験用プローブカードにおいて、前記の複数の探針(10)は、前記の多ピン構造の半導体装置(3)の周辺の一部に設けられた位置合わせ用パッド(13)に接触する探針を除いてこの位置合わせ用パッド(13)の上方領域を除く領域に配設されている半導体装置試験用プローブカードによって達成される。

【0008】

【作用】図2に示すように、多ピン構造の半導体装置3上にプローブカード1を重ねたときに、半導体装置3の周辺の一部に設けられた位置合わせ用パッド13の上方にはその位置合わせ用パッド13と接触する探針以外の探針は配設されていないため試験される多ピン構造の半導体装置の位置合わせ用パッド13を開口5を通して上方から確認することができるので、直接位置合わせすることが可能になって位置合わせ精度が向上する。

【0009】

【実施例】以下、図面を参照して、本発明の一実施例に係るプローブカードについて説明する。

【0010】図1にプローブカード1をウェーハ2に形成された多ピン構造の半導体装置3上に重ねた状態の断面図を示し、図2にその平面図を示す。なお、図1・2において、図3で示したものと同一のものは同一記号で示してある。1例として、位置合わせ用パッド13が図2に示すように半導体装置3の4隅に設けられている場合には、位置合わせ用パッド以外のパッド11に接触する探針10を4隅の位置合わせ用パッド13の上方を通過しない

3
 ように配置する。このようにすれば、位置合わせ用パッド13がプローブカードの探針10によって遮られることがないので、開口5を通して上方から確認でき、目視によってプローブカード1と多ピン構造の半導体装置3とを直接位置合わせすることが可能になり、位置合わせ精度が向上する。また、従来のように位置合わせ用穴12を基板4に形成する必要がなくなる。

【0011】

【発明の効果】以上説明したとおり、本発明に係る半導体装置試験用プローブカードにおいては、プローブカード10を多ピン構造の半導体装置に重ねたときに、半導体装置の位置合わせ用パッドがプローブカードの探針によって遮られないので、多ピン構造の半導体装置とプローブカードとを直接位置合わせすることができ、位置合わせ精度が向上する。

【図面の簡単な説明】

【図1】ウェーハ上に位置合わせされた本発明に係るプローブカードの断面図である。

4
 【図2】図1の平面図である。

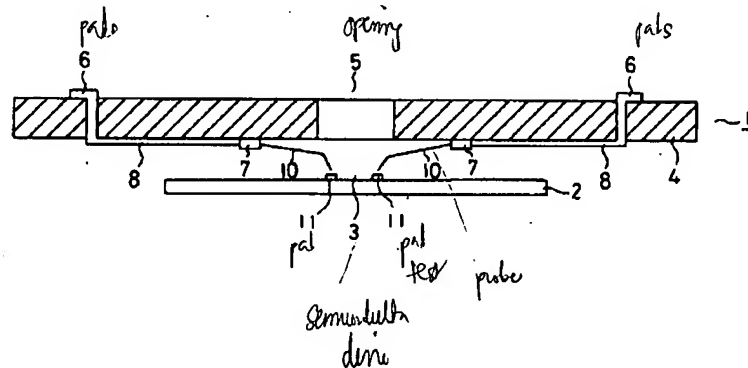
【図3】ウェーハ上に位置合わせされた従来技術に係るプローブカードの断面図である。

【符号の説明】

- | | |
|----|---------------|
| 1 | プローブカード |
| 2 | ウェーハ |
| 3 | 半導体装置（半導体チップ） |
| 4 | 基板 |
| 5 | 開口 |
| 6 | テスターコンタクト用パッド |
| 7 | ハンダ付け用パッド |
| 8 | 配線 |
| 9 | スルーホール |
| 10 | 探針 |
| 11 | 半導体装置のパッド |
| 12 | 位置合わせ用穴 |
| 13 | 位置合わせ用パッド |

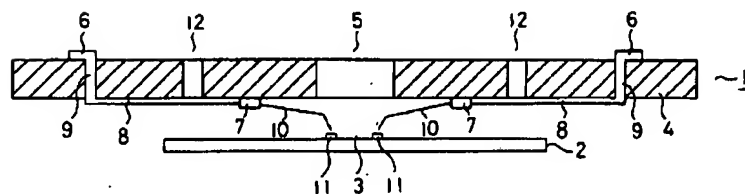
【図1】

半導体チップ上に位置合わせされたプローブカードの断面図



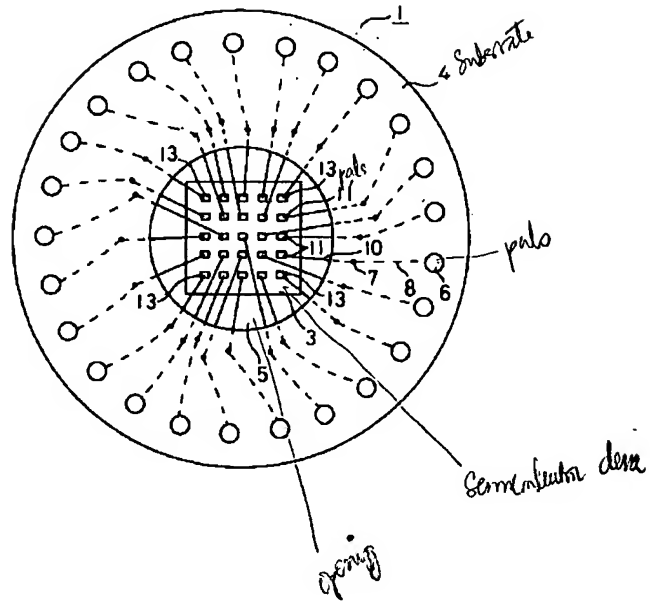
【図3】

従来技術



【図2】

半導体チップ上に位置合わせされたプローブ
カードの平面図



PAT-NO: JP405102254A

DOCUMENT-IDENTIFIER: JP 05102254 A

TITLE: SEMICONDUCTOR DEVICE TEST PROBE CARD

PUBN-DATE: April 23, 1993

INVENTOR-INFORMATION:

NAME

WATANABE, MASATO

TOGASHI, KENJI

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP03259125

APPL-DATE: October 7, 1991

INT-CL (IPC): H01L021/66, G01R031/26

US-CL-CURRENT: 324/761

ABSTRACT:

PURPOSE: To provide a probe card which is so improved as to be directly aligned with a tested semiconductor device of multiple pin structure using the pads of the semiconductor device, where the probe card is used to carry out probing test of a semiconductor device of multiple pin structure provided with pads located not only at the peripheral part but also in the inside of a semiconductor chip.

CONSTITUTION: A semiconductor device test probe card is used for the test of a semiconductor device 3, where pads 6 are provided to the peripheral region of a substrate 4 provided with an opening 5 at its center, the one ends

of probes
10 are connected to one of the pads 6, and the other ends of the
probes 10 are
exposed at the opening 5, where the probes 10 are provided in
multilayer
brought. into contact with pads 11 of a semiconductor device 3 of
multiple pin
structure provided with the pads inside it to test the semiconductor
device 3
concerned. The probes 10 are so structured as to be provided to a
region
except an upper region located above aligning pads except probes
which come
into contact with aligning pads provided to a part of the periphery
of the
semiconductor device 3 of multiple pin structure.

COPYRIGHT: (C)1993,JPO&Japio